

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-020464

(43)Date of publication of application : 24.01.1995

(51)Int.Cl.

G02F 1/1335

F21V 8/00

G02B 6/00

(21)Application number : 05-165346

(71)Applicant : HITACHI LTD  
HITACHI DEVICE ENG CO LTD

(22)Date of filing : 05.07.1993

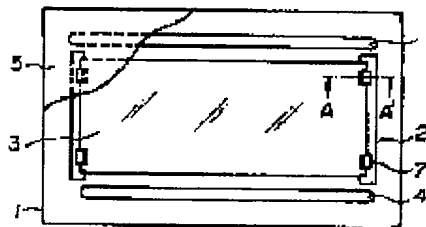
(72)Inventor : TAKAMORI MASANORI  
IGARASHI YOICHI

## (54) LIQUID CRYSTAL DISPLAY DEVICE

## (57)Abstract:

PURPOSE: To obtain the liquid crystal display device which is decreased in the number of components and reduced in thickness.

CONSTITUTION: A nearly rectangular light guide body unit 3 which has a diffusion plate on one surface of a light guide plate and a reflecting plate on the other surface, a cold cathode ray tube 4 which is arranged nearby along an edge of the light guide body unit 3, a mold 1 which holds the light guide unit 3 and cold cathode ray tube 4 and constitutes a lower housing, and a frame part 5 which constitutes an upper housing by mounting a liquid crystal display plate on the light guide body unit 3 are laminated and fixed, and a lateral restriction Jib 2 which restricts the surface-directional position of the light guide body unit 3 and a longitudinal restriction Jib 7 which restricts the position in the direction of the frame part 5 are united with the mold 1. Therefore, the need for a spacer is eliminated to decrease the number of components and shorten the operation time, and the thickness is reducible.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-20464

(43) 公開日 平成7年(1995)1月24日

(51) Int. Cl. <sup>6</sup>  
G02F 1/1335  
F21V 8/00  
G02B 6/00

識別記号  
530  
D  
331

7408-2K  
6920-2K

F I

審査請求 未請求 請求項の数 1 O L (全16頁)

(21) 出願番号 特願平5-165346

(22) 出願日 平成5年(1993)7月5日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(72) 発明者 高森 正典

千葉県茂原市早野3681番地 日立デバイス

エンジニアリング株式会社内

(72) 発明者 五十嵐 陽一

千葉県茂原市早野3300番地 株式会社日立

製作所電子デバイス事業部内

(74) 代理人 弁理士 小川 勝男

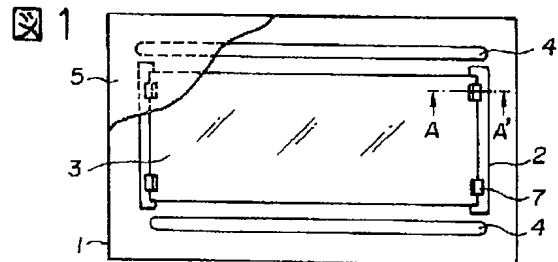
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】 部品点数を削減し、薄型化を図った液晶表示装置を得る。

【構成】 導光板の一方の面に拡散板を、他方の面に反射板を備えてなる略々矩形状の導光体ユニット3と、導光体ユニット3の端縁に沿って近接配置した冷陰極管4と、導光体ユニット3と冷陰極管4を保持して下部筐体を構成するモールド1と、導光体ユニット3に液晶表示板を実装して上部筐体を構成するフレーム部5を積層して前記モールド1に固定してなり、モールド1に、導光体ユニット3の面方向位置を規制する横規制リブ2とフレーム部5方向の位置を規制する縦規制リブ7とを一体的に形成した。

【効果】 スペースが不要となり、部品点数が削減されて作業時間も短縮されると共に、薄型化を図ることができる。



## 【特許請求の範囲】

【請求項 1】導光板の一方の面に拡散板を、他方の面に反射板を備えてなる略々矩形形状の導光体ユニットと、前記導光体ユニットの端縁に沿って近接配置した冷陰極管と、前記導光体ユニットと前記冷陰極管を保持して下部筐体を構成するモールドと、前記導光体ユニットに液晶表示板を実装して上部筐体を構成するフレーム部を積層して前記モールドに固定してなる液晶表示装置において、前記モールドに、前記導光体ユニットの面方向位置を規制する横規制リブと前記フレーム部方向の位置を規制する縦規制リブとを一体的に形成した液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は液晶表示装置に係り、特に一方の面に拡散板を、他方の面に反射板を備えてなる略々矩形形状の導光体ユニットを収容する下部筐体に当該導光体ユニットの位置規制構造を一体的に備え、導光体ユニットと液晶表示板を実装して上部筐体を構成するフレーム部の固定構造を簡略化すると共に、薄型化を図った液晶表示装置に関する。

## 【0002】

【従来の技術】透過型の液晶表示装置は、液晶表示板の下側に拡散板、導光板、反射板からなる導光体ユニットと、この導光体ユニットに光を導入する光源（一般には蛍光灯等の線状の冷陰極管）からなるバックライト構造体を備え、液晶表示板に形成した画像を上記バックライト構造体から放出されるバックライト光で照明し、その透過光を観察するものである。

【0003】例えば、アクティブ・マトリクス方式の液晶表示素子は、マトリクス状に配列された複数の画素電極のそれぞれに対応して非線形素子（スイッチング素子）を設けている。各画素における液晶は理論的には常時駆動（デューティ比 1.0）されているので、時分割駆動方式を採用する単純マトリクス方式と比べて、アクティブ方式はコントラストが良好で、特にカラー液晶表示装置として欠かせない技術となりつつある。スイッチング素子の代表的なものとしては薄膜トランジスタ（TFT）がある。

【0004】なお、薄膜トランジスタを使用したアクティブ・マトリクス方式の液晶表示装置を記述したものとしては、例えば「冗長構成を採用した 12.5 型アクティブ・マトリクス方式カラー液晶ディスプレイ」（日経エレクトロニクス、第 193～210 頁、1986 年 12 月 15 日、日経マグロウヒル社発行）を挙げることができる。

【0005】従来の液晶表示装置は、それぞれ透明電極と配向膜等を積層した面が対向するように 2 枚の透明ガラス基板を重ね合わせ、両基板間に液晶を注入、封止し、さらに両基板の外側に偏光板を張り付けてなる液晶

表示板の下側、すなわち表示画面と反対側に液晶表示板に光を照射するためのバックライト構造体を配置してなる。

【0006】バックライト構造体は、液晶表示板の下側に、光源から発せられる光を当該光源から離れた方に導いて液晶表示板全体を照射する半透明の合成樹脂等からなる導光体ユニットを配置し、この導光体ユニットの 1 側面または対向する 2 側面に隣接して 1 本または 2 本の冷陰極蛍光灯を配置する。また、導光体ユニットと液晶表示板との間には、不均一な光をばかして拡散させ、液晶表示板に均一に光を照射するための拡散板を配置し、さらに導光板の下には光を液晶表示板の方へ反射させる反射板を配置する。

【0007】図 22 は従来の導光板方式のバックライト構造体を構成する導光体ユニットの平面図、また図 23 は図 22 の A-A' 線に沿った断面図である。同各図において、1 は液晶表示装置の下部筐体を構成するモールド、2 はこのモールドに植立して導光体ユニットの面方向の位置を規制するリブ、21 は利部のコーナー部、3 は導光体ユニット、4 は冷陰極管、5 は液晶表示板を実装して液晶表示装置の上部筐体を構成するフレーム部、6 は導光体ユニットの上記液晶表示板方向での位置を規制するスペーサである。

【0008】導光体ユニット 3 は、モールド 1 に形成されたリブ 2 およびそのコーナー部 21 で面方向の位置規制がなされて当該モールド 1 に収納される。導光体ユニット 3 の上下方向、すなわち積層されるフレーム部方向の位置は、フレーム部 5 を積層して固定する際に、両者の間にスペーサ 6 を介在させて押圧固定することによって固定される。

## 【0009】

【発明が解決しようとする課題】上記従来技術においては、導光体ユニット 3 の上下方向、すなわち積層されるフレーム部方向の位置を、フレーム部 5 を積層して固定する際に、両者の間にスペーサ 6 を介在させて押圧固定することによって固定する構造とされている。このスペーサ 6 はウレタンフォーム、その他の柔軟な材質からなるため、液晶表示板の有効領域にはみ出さないように導光体ユニットとフレーム部 5 の縁部に直線状に正しく介挿させる必要があり、その介挿作業は熟練を要し、作業に時間がかかるという問題があった。

【0010】また、スペーサ 6 を介在させるために、部品点数が多くなり、かつ液晶表示装置の厚さの低減に限界があるという問題があった。本発明の目的は、上記従来技術の問題を解消し、導光体ユニットの面方向位置と積層されるフレーム部方向の位置の規制をモールドに収容した状態で確保すると共に、薄型化を容易にした液晶表示装置を提供することにある。

## 【0011】

【課題を解決するための手段】上記目的を達成するため



左側に図 9 の 8 a - 8 a 切断線における断面を、右側に映像信号駆動回路が接続されるべき外部接続端子 DTM 付近の断面を示す図である。同様に図 11 は、左側に走査回路が接続されるべき外部接続端子 GTM 付近の断面を、右側に外部接続端子が無いところのシール部付近の断面を示す図である。

【0024】このパネルの製造では、小さいサイズであればスループット向上のため 1 枚のガラス基板で複数個分のデバイスを同時に加工してから分割し、大きいサイズであれば製造設備の共用のためどの品種でも標準化された大きさのガラス基板を加工してから各品種に合ったサイズに小さくし、いずれの場合も一通りの工程を経てからガラスを切断する。

【0025】図 7 ~ 図 9 は後者の例を示すもので、図 7、図 8 の両図とも上下基板 SUB1、SUB2 の切断後を、図 9 は切断前を表しており、LN は両基板の切断前の縁を、CT1 と CT2 はそれぞれ基板 SUB1、SUB2 の切断すべき位置を示す。いずれの場合も、完成状態では外部接続端子群 Tg、Td (添字略) が存在する (図で上下辺と左辺の) 部分はそれらを露出するように上側基板 SUB2 の大きさが下側基板 SUB1 よりも内側に制限されている。

【0026】端子群 Tg、Td はそれぞれ後述する走査回路接続用端子 GTM、映像信号回路接続用端子 DTM とそれらの引出配線部を集積回路チップ CHI が搭載されたテープキャリアパッケージ TCCP (図 19、図 20) の単位に複数本まとめて名付けたものである。各群のマトリクス部から外部接続端子部に至るまでの引出配線は、両端に近づくにつれ傾斜している。これは、パッケージ TCCP の配列ピッチ及び各パッケージ TCCP における接続端子ピッチに表示パネル PNL の端子 DTM、GTM を合わせるためである。

【0027】透明ガラス基板 SUB1、SUB2 の間にはその縁に沿って、液晶封入口 INJ を除き、液晶 LC を封止するようにシールパターン SL が形成される。シール材は例えばエポキシ樹脂から成る。上部透明ガラス基板 SUB2 側の共通透明画素電極 ITO2 は、少なくとも一箇所において、本実施例ではパネルの 4 角で銀ペースト材 AGP によって下部透明ガラス基板 SUB1 側に形成されたその引出配線 INT に接続されている。

【0028】この引出配線 INT は後述するゲート端子 GTM、ドレイン端子 DTM と同一製造工程で形成される。配向膜 ORI1、ORI2、透明画素電極 ITO1、共通透明画素電極 ITO2、それぞれの層は、シールパターン SL の内側に形成される。偏光板 POL1、POL2 はそれぞれ下部透明ガラス基板 SUB1、上部透明ガラス基板 SUB2 の外側の表面に形成されている。液晶 LC は液晶分子の向きを設定する下部配向膜 ORI1 と上部配向膜 ORI2 との間でシールパターン SL で仕切られた領域に封入されている。

【0029】下部配向膜 ORI1 は下部透明ガラス基板 SUB1 側の保護膜 PSV1 の上部に形成される。この液晶表示装置は、下部透明ガラス基板 SUB1 側、上部透明ガラス基板 SUB2 側で別個に種々の層を積み重ね、シールパターン SL を基板 SUB2 側に形成し、下部透明ガラス基板 SUB1 と上部透明ガラス基板 SUB2 とを重ね合わせ、シール材 SL の開口部 INJ から液晶 LC を注入し、注入口 INJ をエポキシ樹脂などで封止し、上下基板を切断することによって組み立てられる。

【0030】次に、図 4、図 5 に戻り、TFT 基板 SUB1 側の構成を詳しく説明する。薄膜トランジスタ TFT は、ゲート電極 GT に正のバイアスを印加すると、ソース・ドレイン間のチャネル抵抗が小さくなり、バイアスを零にすると、チャネル抵抗は大きくなるように動作する。各画素には複数 (2 つ) の薄膜トランジスタ TFT1、TFT2 が冗長して設けられる。薄膜トランジスタ TFT1、TFT2 のそれぞれは、実質的に同一サイズ (チャネル長、チャネル幅が同じ) で構成され、ゲート電極 GT、ゲート絶縁膜 GI、i 型 (真性、intrinsic、導電型決定不純物がドーピングされていない) 非晶質シリコン (Si) からなる i 型半導体層 AS、一対のソース電極 SD1、ドレイン電極 SD2 を有す。

【0031】なお、ソース、ドレインは本来その間のバイアス極性によって決まるもので、この液晶表示装置の回路ではその極性は動作中反転するので、ソース、ドレインは動作中入れ替わると理解されたい。しかし、以下の説明では、便宜上一方をソース、他方をドレインと固定して表現する。ゲート電極 GT は走査信号線 GL から垂直方向に突出する形状で構成されている (T 字形状に分岐されている)。ゲート電極 GT は薄膜トランジスタ TFT1、TFT2 のそれぞれの能動領域を越えるよう突出している。

【0032】薄膜トランジスタ TFT1、TFT2 のそれぞれのゲート電極 GT は、一体に (共通のゲート電極として) 構成されており、走査信号線 GL に連続して形成されている。本例では、ゲート電極 GT は、単層の第 2 導電膜 g2 で形成されている。第 2 導電膜 g2 としては例えばスパッタで形成されたアルミニウム (Al) 膜が用いられ、その上には Al の陽極酸化膜 AOF が設けられている。

【0033】このゲート電極 GT は i 型半導体層 AS を完全に覆うよう (下方からみて) それより大き目に形成され、i 型半導体層 AS に外光やバックライト光が当たらないよう工夫されている。走査信号線 GL は第 2 導電膜 g2 で構成されている。この走査信号線 GL の第 2 導電膜 g2 はゲート電極 GT の第 2 導電膜 g2 と同一製造工程で形成され、かつ一体に構成されている。また、走査信号線 GL 上にも Al の陽極酸化膜 AOF が設けられている。

【0034】絶縁膜GIは、薄膜トランジスタTFT1、TFT2において、ゲート電極GTと共に半導体層ASに電界を与えるためのゲート絶縁膜として使用される。絶縁膜GIはゲート電極GTおよび走査信号線GLの上層に形成されている。絶縁膜GIとしては例えばプラズマCVDで形成された窒化シリコン膜が選ばれ、1200~2700Åの厚さに（本実施例では、2000Å程度）形成される。ゲート絶縁膜GIは図9に示すように、マトリクス部ARの全体を囲むように形成され、周辺部は外部接続端子DTM、GTMを露出するよう除去されている。絶縁膜GIは走査信号線GLと映像信号線DLの電気的絶縁にも寄与している。

【0035】i型半導体層ASは、本例では薄膜トランジスタTFT1、TFT2のそれぞれに独立した島となるよう形成され、非晶質シリコンで、200~2200Åの厚さに（ここでは、2000Å程度の膜厚）で形成される。層d0はオーミックコンタクト用のリン(P)をドーブしたN(+)型非晶質シリコン半導体層であり、下側にi型半導体層ASが存在し、上側に導電膜d2（d3）が存在するところのみに残されている。

【0036】i型半導体層ASは走査信号線GLと映像信号線DLとの交差部（クロスオーバー部）の両者間にも設けられている。この交差部のi型半導体層ASは交差部における走査信号線GLと映像信号線DLとの短絡を低減する。また、透明画素電極ITO1は液晶表示部の画素電極の一方を構成する。この透明画素電極ITO1は薄膜トランジスタTFT1のソース電極SD1および薄膜トランジスタTFT2のソース電極SD1の両方に接続されている。このため、薄膜トランジスタTFT1、TFT2のうちの1つに欠陥が発生しても、その欠陥が副作用をもたらす場合はレーザー光等によって適切な箇所を切断し、そうでない場合は他方の薄膜トランジスタが正常に動作しているので放置すれば良い。

【0037】透明画素電極ITO1は第1導電膜d1によって構成されており、この第1導電膜d1はスパッタリングで形成された透明導電膜（Indium-Tin-Oxide ITO：ネサ膜）からなり、1000~2000Åの厚さに（ここでは、1400Å程度の膜厚）形成される。ソース電極SD1、ドレイン電極SD2のそれぞれは、N(+)型半導体層d0に接触する第2導電膜d2とその上に形成された第3導電膜d3とから構成されている。

【0038】第2導電膜d2はスパッタで形成したクロム(Cr)膜を用い、500~1000Åの厚さに（ここでは、600Å程度）で形成される。Cr膜は膜厚を厚く形成するとストレスが大きくなるので、2000Å程度の膜厚を越えない範囲で形成する。Cr膜はN(+)型半導体層d0との接着性を良好にし、第3導電膜d3のAlがN(+)型半導体層d0に拡散することを防止する（いわゆるバリア層の）目的で使用される。

【0039】第2導電膜d2として、Cr膜の他に高融

点金属（Mo、Ti、Ta、W）膜、高融点金属シリサイド（ $\text{MoSi}_2$ 、 $\text{TiSi}_2$ 、 $\text{TaSi}_2$ 、 $\text{WSi}_2$ ）膜を用いてもよい。第3導電膜d3はAlのスパッタリングで3000~5000Åの厚さに（本実施例では、4000Å程度）形成される。Al膜はCr膜に比べてストレスが小さく、厚い膜厚に形成することが可能で、ソース電極SD1、ドレイン電極SD2および映像信号線DLの抵抗値を低減したり、ゲート電極GTやi型半導体層ASに起因する段差乗り越えを確実にする（ステップカバーレッジを良くする）働きがある。

【0040】第2導電膜d2、第3導電膜d3を同じマスクパターンでパターニングした後、同じマスクを用いて、あるいは第2導電膜d2、第3導電膜d3をマスクとして、N(+)型半導体層d0が除去される。つまり、i型半導体層AS上に残っていたN(+)型半導体層d0は第2導電膜d2、第3導電膜d3以外の部分がセルフアラインで除去される。このとき、N(+)型半導体層d0はその厚さは全て除去されるようエッチングされるので、i型半導体層ASも若干その表面部分がエッチングされるが、その程度はエッチング時間で制御すればよい。

【0041】映像信号線DLはソース電極SD1、ドレイン電極SD2と同層の第2導電膜d2、第3導電膜d3で構成されている。薄膜トランジスタTFTおよび透明画素電極ITO1上には保護膜PSV1が設けられている。この保護膜PSV1は主に薄膜トランジスタTFTを湿気等から保護するために形成されており、透明性が高くしかも耐湿性の良いものを使用する。保護膜PSV1はたとえばプラズマCVD装置で形成した酸化シリコン膜や窒化シリコン膜で形成されており、1μm程度の膜厚で形成する。

【0042】保護膜PSV1は図5に示すように、マトリクス部ARの全体を囲むように形成され、周辺部は外部接続端子DTM、GTMを露出するよう除去され、また上基板側SUB2の共通電極COMを下側基板SUB1の外部接続端子接続用引出配線INTに銀ペーストAGPで接続する部分も除去されている。保護膜PSV1とゲート絶縁膜GIの厚さ関係に関しては、前者は保護効果を考え厚くされ、後者はトランジスタの相互コンダクタンスgmを薄くされる。従って図9に示すように、保護効果の高い保護膜PSV1は周辺部もできるだけ広い範囲に亘って保護するようゲート絶縁膜GIよりも大きく形成されている。

【0043】上部透明ガラス基板SUB2側には、外部光又はバックライト光がi型半導体層ASに入射しないよう遮光膜BMが設けられている。図4に示す遮光膜BMの閉じた多角形の輪郭線は、その内側が遮光膜BMが形成されない開口を示している。遮光膜BMは光に対する遮蔽性が高いたとえばアルミニウム膜やクロム膜等で形成されており、本実施例ではクロム膜がスパッタリン

グで1300 Å程度の厚さに形成される。

【0044】従って、薄膜トランジスタTFT1、TFT2のi型半導体層ASは上下にある遮光膜BMおよび大きなゲート電極GTによってサンドイッチにされ、外部の自然光やバックライト光が当たらなくなる。遮光膜BMは各画素の周囲に格子状に形成され（いわゆるブラックマトリクス）、この格子で1画素の有効表示領域が仕切られている。従って、各画素の輪郭が遮光膜BMによってはっきりとし、コントラストが向上する。つまり、遮光膜BMはi型半導体層ASに対する遮光とブラックマトリクスとの2つの機能をもつ。

【0045】透明画素電極ITO1のラビング方向の根本側のエッジ部分（図4右下部分）も遮光膜BMによって遮光されているので、上記部分にドメインが発生したとしても、ドメインが見えないので、表示特性が劣化することはない。遮光膜BMは図8に示すように周辺部にも縦線状に形成され、そのパターンはドット状に複数の開口を設けた図4に示すマトリクス部のパターンと連続して形成されている。周辺部の遮光膜BMは図8～図11に示すように、シール部SLの外側に延長され、パソコン等の実装機に起因する反射光等の漏れ光がマトリクス部に入り込むのを防いでいる。他方、この遮光膜BMは基板SUB2の縁よりも約0.3～1.0mm程内側に留められ、基板SUB2の切断領域を避けて形成されている。

【0046】カラーフィルタFILは画素に対向する位置に赤、緑、青の繰り返しでストライプ状に形成される。カラーフィルタFILは透明画素電極ITO1の全てを覆うように大き目に形成され、遮光膜BMはカラーフィルタFILおよび透明画素電極ITO1のエッジ部分と重なるよう透明画素電極ITO1の周縁部より内側に形成されている。

【0047】カラーフィルタFILは次のように形成することができる。まず、上部透明ガラス基板SUB2の表面にアクリル系樹脂等の染色基材を形成し、フォトリソグラフィ技術で赤色フィルタ形成領域以外の染色基材を除去する。この後、染色基材を赤色染料で染め、固着処理を施し、赤色フィルタRを形成する。つぎに、同様な工程を施すことによって、緑色フィルタG、青色フィルタBを順次形成する。

【0048】保護膜PSV2はカラーフィルタFILの染料が液晶LCに漏れることを防止するために設けられている。保護膜PSV2はたとえばアクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。共通透明画素電極ITO2は、下部透明ガラス基板SUB1側に画素ごとに設けられた透明画素電極ITO1に対向し、液晶LCの光学的な状態は各画素電極ITO1と共通透明画素電極ITO2との間の電位差（電界）に依存して変化する。この共通透明画素電極ITO2にはコモン電圧Vcomが印加されるように構成されている。本実施例

では、コモン電圧Vcomは映像信号線DLに印加される最小レベルの駆動電圧Vdminと最大レベルの駆動電圧Vdmaxとの中間直流電位に設定されるが、映像信号駆動回路で使用される集積回路の電源電圧を約半分に低減したい場合は、交流電圧を印加すれば良い。なお、共通透明画素電極ITO2の平面形状は図8、図9を参照されたい。

【0049】透明画素電極ITO1は、薄膜トランジスタTFTと接続される端部と反対側の端部において、隣りの走査信号線GLと重なるように形成されている。この重ね合わせは、図6からも明らかのように、透明画素電極ITO1を一方の電極PL2とし、隣りの走査信号線GLを他方の電極PL1とする保持容量素子（静電容量素子）Caddを構成する。この保持容量素子Caddの誘電体膜は、薄膜トランジスタTFTのゲート絶縁膜として使用される絶縁膜GIおよび陽極酸化膜AOFで構成されている。

【0050】保持容量素子Caddは走査信号線GLの第2導電膜g2の幅を広げた部分に形成されている。なお、映像信号線DLと交差する部分の第2導電膜g2は映像信号線DLとの短絡の確率を小さくするため細くされている。保持容量素子Caddの電極PL1の段差部において透明画素電極ITO1が断線しても、その段差をまたがるように形成された第2導電膜d2および第3導電膜d3で構成された島領域によってその不良は補償される。

【0051】図12は表示マトリクスの走査信号線GLからその外部接続端子GTMまでの接続構造を示す図であり、(A)は平面であり(B)は(A)のB-B切断線における断面を示している。なお、同図は図9下方付近に対応し、斜め配線の部分は便宜上一直線状で表した。AOは写真処理用のマスクパターン、言い換えれば選択的陽極酸化のホトレジストパターンである。従って、このホトレジストは陽極酸化後除去され、図に示すパターンAOは完成品としては残らないが、ゲート配線GLには断面図に示すように酸化膜AOFが選択的に形成されるのでその軌跡が残る。平面図において、ホトレジストの境界線AOを基準にして左側はレジストで覆い陽極酸化をしない領域、右側はレジストから露出され陽極酸化される領域である。陽極酸化されたAL層g2は表面にその酸化物Al<sub>2</sub>O<sub>3</sub>膜AOFが形成され下方の導電部は体積が減少する。勿論、陽極酸化はその導電部が残るように適切な時間、電圧などを設定して行われる。マスクパターンAOは走査線GLに単一の直線では交差せず、クランク状に折れ曲がって交差させている。

【0052】図中AL層g2は、判り易くするためハッチを施してあるが、陽極化されない領域は櫛状にパターンニングされている。これは、AL層の幅が広いと表面にホイスカが発生するので、1本1本の幅は狭くし、それらを複数本並列に束ねた構成とすることにより、ホイ

スカの発生を防ぎつつ、断線の確率や導電率の犠牲を最低限に押さえる狙いである。従って、本例では櫛の根本に相当する部分もマスクAOに沿ってずらしている。

【0053】ゲート端子GTMは酸化珪素SIO層と接着性が良くA1等よりも耐電触性の高いCr層g1と、更にその表面を保護し画素電極ITO1と同レベル（同層、同時形成）の透明導電層d1とで構成されている。なお、ゲート絶縁膜GI上及びその側面部に形成された導電層d2及びd3は、導電層d3やd2のエッチング時ピンホール等が原因で導電層g2やg1と一緒にエッチングされないようその領域をホトレジストで覆っていた結果として残っているものである。又、ゲート絶縁膜GIを乗り越えて右方向に延長されたITO層d1は同様な対策を更に万全とさせたものである。

【0054】平面図において、ゲート絶縁膜GIはその境界線よりも右側に、保護膜PSV1もその境界線よりも右側に形成されており、左端に位置する端子部GTMはそれらから露出し外部回路との電氣的接触ができるようになっている。図では、ゲート線GLとゲート端子の一つの対のみが示されているが、実際はこのような対が図9に示すように上下に複数本並べられ端子群Tg（図8、図9）が構成され、ゲート端子の左端は、製造過程では、基板の切断領域CT1を越えて延長され配線SHgによって短絡される。製造過程におけるこのような短絡線SHgは陽極化成時の給電と、配向膜ORI1のラビング時等の静電破壊防止に役立つ。

【0055】図13は映像信号線DLからその外部接続端子DTMまでの接続を示す図であり、(A)はその平面を示し、(B)は(A)のB-B切断線における断面を示す。なお、同図は図9右上付近に対応し、図面の向きは便宜上変えてあるが右端方向が基板SUB1の上端部（又は下端部）に該当する。TSTdは検査端子でありここには外部回路は接続されないが、プローブ針等を接触できるよう配線部より幅が広げられている。同様に、ドレイン端子DTMも外部回路との接続ができるよう配線部より幅が広げられている。検査端子TSTdと外部接続ドレイン端子DTMは上下方向に千鳥状に複数交互に配列され、検査端子TSTdは図に示すとおり基板SUB1の端部に到達することなく終端しているが、ドレイン端子DTMは、図5に示すように端子群Td（添字省略）を構成し基板SUB1の切断線CT1を越えて更に延長され、製造過程では静電破壊防止のためその全てが互いに配線SHdによって短絡される。

【0056】検査端子TSTdが存在する映像信号線DLのマトリクスを挟んで反対側にはドレイン接続端子が接続され、逆にドレイン接続端子DTMが存在する映像信号線DLのマトリクスを挟んで反対側には検査端子が接続される。ドレイン接続端子DTMは前述したゲート端子GTMと同様な理由でCr層g1及びITO層d1の2層で形成されており、ゲート絶縁膜GIを除去した

部分で映像信号線DLと接続されている。ゲート絶縁膜GIの端部に上に形成された半導体層ASはゲート絶縁膜GIの縁をテーパ状にエッチングするためのものである。

【0057】端子DTM上では外部回路との接続を行うため保護膜PSV1は勿論のこと取り除かれている。AOは前述した陽極酸化マスクでありその境界線はマトリクス全体をを大きく囲むように形成され、図ではその境界線から左側がマスクで覆われるが、この図で覆われない部分には層g2が存在しないのでこのパターンは直接は関係しない。

【0058】マトリクス部からドレイン端子部DTMまでの引出配線は図10の(C)部にも示されるように、ドレイン端子部DTMと同じレベルの層d1、g1のすぐ上に映像信号線DLと同じレベルの層d2、d3がシールパターンSLの途中まで積層された構造になっているが、これは断線の確率を最小限に押さえ、電触し易いA1層d3を保護膜PSV1やシールパターンSLでできるだけ保護する狙いである。

【0059】表示マトリクス部の等価回路とその周辺回路の結線図を図14に示す。同図は回路図ではあるが、実際の幾何学的配置に対応して描かれている。ARは複数の画素を二次元状に配列したマトリクス・アレイである。図中、Xは映像信号線DLを意味し、添字G、BおよびRがそれぞれ緑、青および赤画素に対応して付加されている。Yは走査信号線GLを意味し、添字1、2、3、…、endは走査タイミングの順序に従って付加されている。

【0060】映像信号線X（添字省略）は交互に上側（または奇数）映像信号駆動回路He、下側（または偶数）映像信号駆動回路Hoに接続されている。また、走査信号線Y（添字省略）は垂直走査回路Vに接続されている。SUPは1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路やホスト（上位演算処理装置）からのCRT（陰極線管）用の情報をTFT液晶表示装置用の情報に交換する回路を含む回路である。

【0061】保持容量素子Caddは、薄膜トランジスタTFTがスイッチングするとき、中点電位（画素電極電位）Vlcに対するゲート電位変化 $\Delta Vg$ の影響を低減するように働く。この様子を式で表すと、次のようになる。

$$\Delta Vlc = \{Cgs / (Cgs + Cadd + Cpix)\} \times \Delta Vg$$

ここで、Cgsは薄膜トランジスタTFTのゲート電極GTとソース電極SD1との間に形成される寄生容量、Cpixは透明画素電極ITO1（PIX）と共通透明画素電極ITO2（COM）との間に形成される容量、 $\Delta Vlc$ は $\Delta Vg$ による画素電極電位の変化分を表わす。この変化分 $\Delta Vlc$ は液晶LCに加わる直流成分の原因となるが、保持容量Caddを大きくすればする程、その値を小

さくすることができる。

【0062】また、保持容量素子Caddは放電時間を長くする作用もあり、薄膜トランジスタTFTがオフした後の映像情報を長く蓄積する。液晶LCに印加される直流成分の低減は、液晶LCの寿命を向上し、液晶表示画面の切り替え時に前の画像が残るいわゆる焼き付きを低減することができる。前述したように、ゲート電極GTはi型半導体層ASを完全に覆うよう大きくされている分、ソース電極SD1、ドレイン電極SD2とのオーバーラップ面積が増え、従って寄生容量Cgsが大きくなり、中点電位Vlcはゲート（走査）信号Vgの影響を受け易くなるという逆効果が生じる。しかし、保持容量素子Caddを設けることによりこのデメリットも解消することができる。

【0063】保持容量素子Caddの保持容量は、画素の書込特性から、液晶容量Cpixに対して4～8倍（ $4 \cdot Cpix < Cadd < 8 \cdot Cpix$ ）、寄生容量Cgsに対して8～3.2倍（ $8 \cdot Cgs < Cadd < 3.2 \cdot Cgs$ ）程度の値に設定する。保持容量電極線としてのみ使用される初段の走査信号線GL（Y<sub>0</sub>）は共通透明画素電極ITO2

（Vcom）と同じ電位にする。図9の例では、初段の走査信号線は端子GT0、引出線INT、端子DT0及び外部配線を通じて共通電極COMに短絡される。或いは、初段の保持容量電極線Y<sub>0</sub>は最終段の走査信号線Y<sub>end</sub>に接続、Vcom以外の直流電位点（交流接地点）に接続するかまたは垂直走査回路Vから1つ余分に走査パルスY<sub>0</sub>を受けるように接続してもよい。

【0064】つぎに、上述した液晶表示装置の基板SUB1側の製造方法について図15～図17を参照して説明する。なお同図において、中央の文字は工程名の略称であり、左側は図5に示す画素部分、右側は図12に示すゲート端子付近の断面形状でみた加工の流れを示す。また、工程Dを除き工程A～工程Iは各写真処理に対応して区分けしたもので、各工程のいずれの断面図も写真処理後の加工が終わりフォトレジストを除去した段階を示している。

【0065】なお、写真処理とは本説明ではフォトレジストの塗布からマスクを使用した選択露光を経てそれを現像するまでの一連の作業を示すものとし、繰返しの説明は避ける。以下区分けした工程に従って説明する。

工程A、図15

7059ガラス（商品名）からなる下部透明ガラス基板SUB1の両面に酸化シリコン膜SIOをディップ処理により設けたのち、500℃、60分間のバークを行なう。下部透明ガラス基板SUB1上に膜厚が1100Åのクロムからなる第1導電膜g1をスパッタリングにより設け、写真処理後、エッチング液として硝酸第2セリウムアンモニウム溶液で第1導電膜g1を選択的にエッチングする。それによって、ゲート端子GTM、ドレイン端子DTM、ゲート端子GTMを接続する陽極酸化バ

スラインSHg、ドレイン端子DTMを短絡するバスラインSHd、陽極酸化バスラインSHgに接続された陽極酸化パッド（図示せず）を形成する。

【0066】工程B、図15

膜厚が2800ÅのAl-Pd、Al-Si、Al-Si-Ti、Al-Si-Cu等からなる第2導電膜g2をスパッタリングにより設ける。写真処理後、リン酸と硝酸と氷酢酸との混酸液で第2導電膜g2を選択的にエッチングする。

10 工程C、図15

写真処理後（前述した陽極酸化マスクAO形成後）、3%酒石酸をアンモニアによりPH6.25±0.05に調整した溶液をエチレングリコール液で1:9に希釈した液からなる陽極酸化液中に基板SUB1を浸漬し、化成電流密度が0.5mA/cmになるように調整する（定電流化成）。次に所定のAl<sub>2</sub>O<sub>3</sub>膜厚が得られるのに必要な化成電圧125Vに達するまで陽極酸化を行う。その後、この状態で数10分保持することが望ましい（定電圧化成）。これは均一なAl<sub>2</sub>O<sub>3</sub>膜を得る上で大事なことである。それによって、導電膜g2を陽極酸化され、走査信号線GL、ゲート電極GTおよび電極PL1上に膜厚が1800Åの陽極酸化膜AOFが形成される。

20 【0067】工程D、図16

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が2000Åの窒化Si膜を設け、プラズマCVD装置にシランガス、水素ガスを導入して、膜厚が2000Åのi型非晶質Si膜を設けたのち、プラズマCVD装置に水素ガス、ホスフィンガスを導入して、膜厚が300ÅのN(+)型非晶質Si膜を設ける。

【0068】工程E、図16

写真処理後、ドライエッチングガスとしてSF<sub>6</sub>、CCl<sub>4</sub>を使用してN(+)型非晶質Si膜、i型非晶質Si膜を選択的にエッチングすることにより、i型半導体層ASの島を形成する。

工程F、図16

写真処理後、ドライエッチングガスとしてSF<sub>6</sub>を使用して、窒化Si膜を選択的にエッチングする。

40 【0069】工程G、図17

膜厚が1400ÅのITO膜からなる第1導電膜d1をスパッタリングにより設ける。写真処理後、エッチング液として塩酸と硝酸との混酸液で第1導電膜d1を選択的にエッチングすることにより、ゲート端子GTM、ドレイン端子DTMの最上層および透明画素電極ITO1を形成する。

【0070】工程H、図17

膜厚が600ÅのCrからなる第2導電膜d2をスパッタリングにより設け、さらに膜厚が4000ÅのAl-Pd、Al-Si、Al-Si-Ti、Al-Si-C

u等からなる第3導電膜d3をスパッタリングにより設ける。写真処理後、第3導電膜d3を工程Bと同様な液でエッチングし、第2導電膜d2を工程Aと同様な液でエッチングし、映像信号線DL、ソース電極SD1、ドレイン電極SD2を形成する。つぎに、ドライエッチング装置にCCl<sub>4</sub>、SF<sub>6</sub>を導入して、N(+)型非晶質Si膜をエッチングすることにより、ソースとドレイン間のN(+)型半導体層d0を選択的に除去する。

【0071】工程I、図17

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が1μmの窒化Si膜を設ける。写真処理後、ドライエッチングガスとしてSF<sub>6</sub>を使用した写真蝕刻技術で窒化Si膜を選択的にエッチングすることによって、保護膜PSV1を形成する。

【0072】図18は、図7等にした表示パネルPNLに映像信号駆動回路He、Hoと垂直走査回路Vを接続した状態を示す上面図である。CHIは表示パネルPNLを駆動させる駆動ICチップ（下側の3個は垂直走査回路側の駆動ICチップ、左右の6個ずつは映像信号駆動回路側の駆動ICチップ）である。

【0073】TCPは図19、図20で後述するように駆動用ICチップCHIがテープ・オートメיתיド・ボンディング法(TAB)により実装されたテープキャリアパッケージ、PCB1は上記TCPやコンデンサCD等が実装された駆動回路基板で、3つに分割されている。FGPはフレームグランドパッドであり、シールドケースSHDに切り込んで設けられたバネ状の破片FGが半田付けされる。

【0074】FCは下側の駆動回路基板PCB1と左側の駆動回路基板PCB1、および下側の駆動回路基板PCB1と右側の駆動回路基板PCB1とを電気的に接続するフラットケーブルである。フラットケーブルFCとしては図に示すように、複数のリード線（りん青銅の素材にSn鍍金を施したもの）をストライプ状のポリエチレン層とポリビニルアルコール層とでサンドイッチして支持したものを使用する。

【0075】図19は走査信号駆動回路Vや映像信号駆動回路He、Hoを構成する、集積回路チップCHIがフレキシブル配線基板上に搭載されたテープキャリアパッケージTCPの断面構造を示す図であり、図22はそれを液晶表示パネルの、本例では映像信号回路用端子DTMに接続した状態を示す要部断面図である。同図において、TTBは集積回路CHIの入力端子・配線部であり、TTMは集積回路CHIの出力端子・配線部であり、例えばCuから成り、それぞれの内側の先端部（通称インナーリード）には集積回路CHIのボンディングパッドPADがいわゆるフェースダウンボンディング法により接続される。

【0076】端子TTB、TTMの外側の先端部（通称アウトターリード）はそれぞれ半導体集積回路チップCH

Iの入力及び出力に対応し、半田付け等によりCRT/TFT変換回路・電源回路SUPに、異方性導電膜ACFによって液晶表示パネルPNLに接続される。パッケージTCPは、その先端部がパネルPNL側の接続端子DTMを露出した保護膜PSV1を覆うようにパネルに接続されており、従って、外部接続端子DTM(GTM)は保護膜PSV1かパッケージTCPの少なくとも一方で覆われるので電触に対して強くなる。

【0077】BF1はポリイミド等からなるベースフィルムであり、SRSは半田付けの際半田が余計なところへつかないようにマスクするためのソルダレジスト膜である。シールパターンSLの外側の上下ガラス基板の間隙は洗浄後エポキシ樹脂EPX等により保護され、パッケージTCPと上側基板SUB2の間には更にシリコン樹脂SILが充填され保護が多重化されている。

【0078】中間フレームMFRに保持・収納される液晶表示部LCDの駆動回路基板PCB2は、図20に示すように、L字形をしており、IC、コンデンサ、抵抗等の電子部品が搭載されている。この駆動回路基板PCB2には、1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路や、ホスト（上位演算処理装置）からのCRT（陰極線管）用の情報をTFT液晶表示装置用の情報に変換する回路を含む回路SUPが搭載されている。

【0079】CJは外部と接続される図示しないコネクタが接続されるコネクタ接続部である。駆動回路基板PCB2とインバータ回路基板PCB3とはバックライトケーブルにより中間フレームMFRに設けたコネクタ穴を介して電気的に接続される。駆動回路基板PCB1と駆動回路基板PCB2とは折り曲げ可能なフラットケーブルFCにより電気的に接続されている。組立て時、駆動回路基板PCB2は、フラットケーブルFCを180°折り曲げることにより駆動回路基板PCB1の裏側に重ねられ、中間フレームMFRの所定の凹部に嵌合される。

【0080】上記の液晶表示装置に前記したバックライト構造体を適用することにより、有効領域の全域で均一な輝度分布を得ることができる。

【0081】

【発明の効果】以上説明したように、本発明によれば、冷陰極管から直接反射板に反射して液晶表示板に光を指向させるための導光体ユニットの位置規制を確実に行うことができ、部品点数を削減し、作業時間が短縮されたと共に、薄型化を図った液晶表示装置を提供することができる。

【図面の簡単な説明】

【図1】本発明による液晶表示装置の第1実施例を説明するバックライト構造体部分の平面図である。

【図2】図1のA-A'線に沿った断面図である。

【図3】本発明による液晶表示装置の第2実施例を説明

するバックライト構造体部分の図 2 と同様の断面図である。

【図 4】本発明が適用されるアクティブ・マトリクス方式のカラー液晶表示装置の液晶表示部の一画素とその周辺を示す要部平面図である。

【図 5】図 6 の 3-3 切断線における 1 画素とその周辺を示す断面図である。

【図 6】図 6 の 4-4 切断線における付加容量 Cadd の断面図である。

【図 7】表示パネルのマトリクス周辺部の構成を説明するための平面図である。

【図 8】図 9 の周辺部をやや誇張し更に具体的に説明するためのパネル平面図である。

【図 9】上下基板の電気的接続部を含む表示パネルの角部の拡大平面図である。

【図 10】マトリクスの画素部を中央に、両側にパネル角付近と映像信号端子部付近を示す断面図である。

【図 11】左側に走査信号端子、右側に外部接続端子の無いパネル縁部分を示す断面図である。

【図 12】ゲート端子 G T M とゲート配線 G L の接続部 20 近辺を示す平面と断面の図である。

【図 13】ドレイン端子 D T M と映像信号線 D L との接続部付近を示す平面と断面の図である。

【図 14】アクティブ・マトリクス方式のカラー液晶表示装置のマトリクス部とその周辺を含む回路図である。

【図 15】基板 S U B 1 側の工程 A ~ C の製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図 16】基板 S U B 1 側の工程 D ~ F の製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図 17】基板 S U B 1 側の工程 G ~ I の製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図 18】液晶表示パネルに周辺の駆動回路を実装した状態を示す上面図である。

【図 19】駆動回路を構成する集積回路チップがフレキシブル配線基板上に搭載されたテープキャリアパッケージの断面構造を示す図である。

【図 20】テープキャリアパッケージを液晶表示パネルの映像信号回路用端子に接続した状態を示す要部断面図である。

【図 21】周辺駆動回路基板と電源回路回路基板との接続状態を示す上面図である。

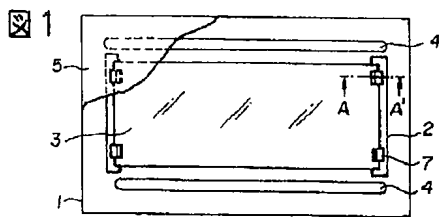
【図 22】従来の導光板方式のバックライト構造体を構成する導光体ユニットの平面図である。

【図 23】図 22 の A-A' 線に沿った断面図である。

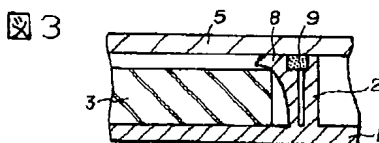
#### 【符号の説明】

- 1 液晶表示装置の下部筐体を構成するモールド
- 2 導光体ユニットの面方向の位置を規制する横規制リブ
- 3 導光体ユニット
- 4 冷陰極管
- 5 液晶表示板を実装して液晶表示装置の上部筐体を構成するフレーム部
- 7, 8 縦規制リブ
- 9 接着剤。

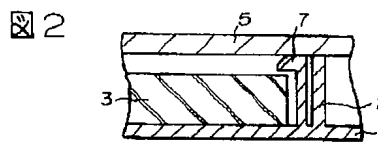
【図 1】



【図 3】

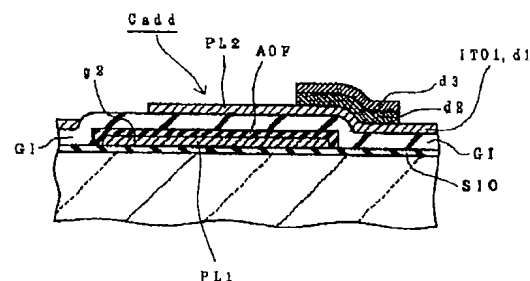


【図 2】

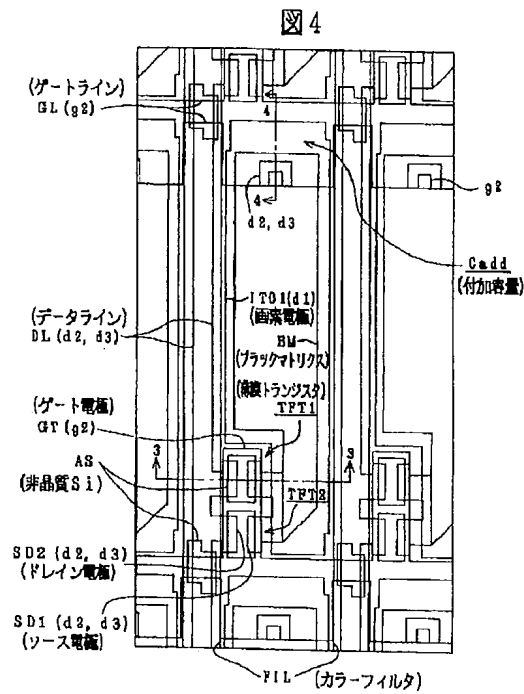


【図 6】

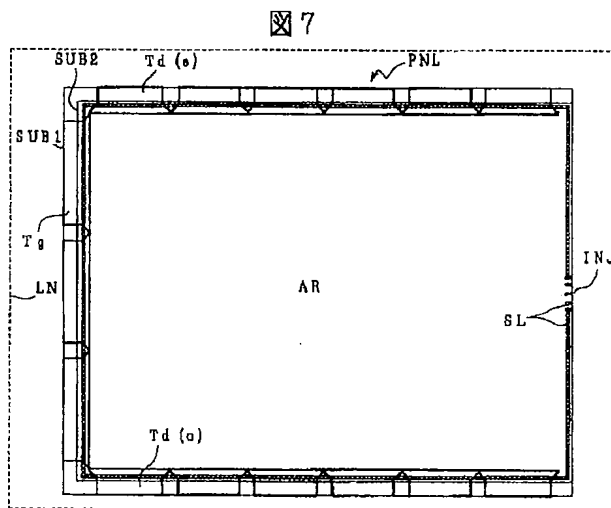
図 6



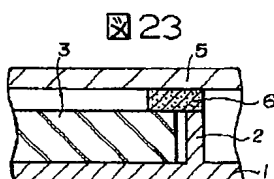
【図 4】



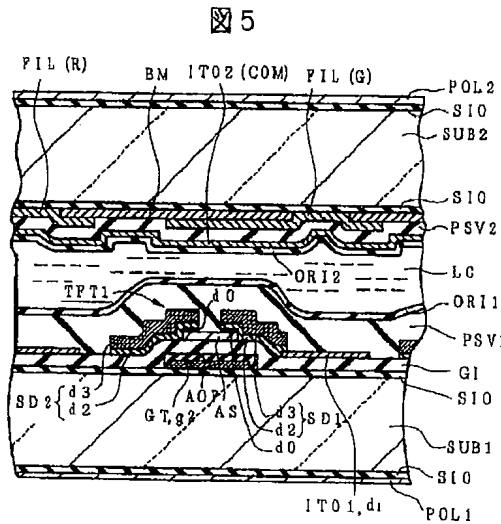
【図 7】



【図 23】

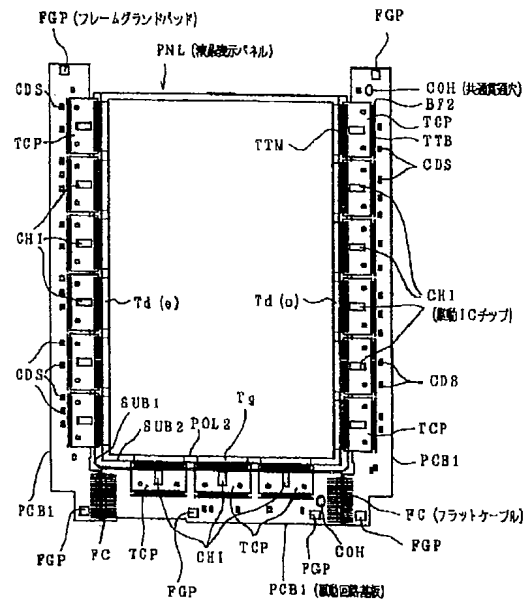


【図 5】



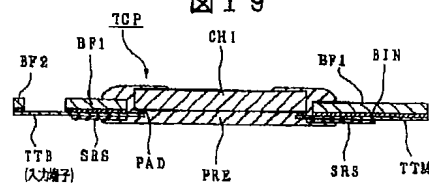
【図 18】

図 18



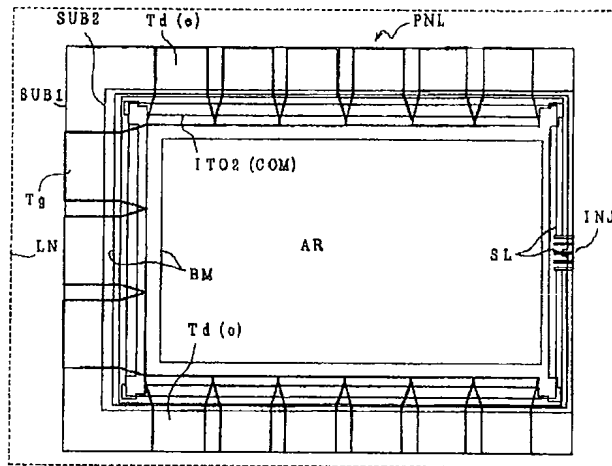
【図 19】

図 19



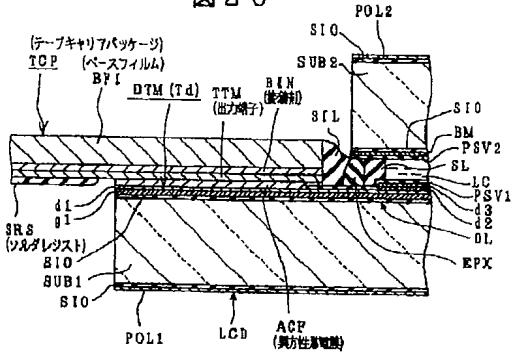
【図8】

図8



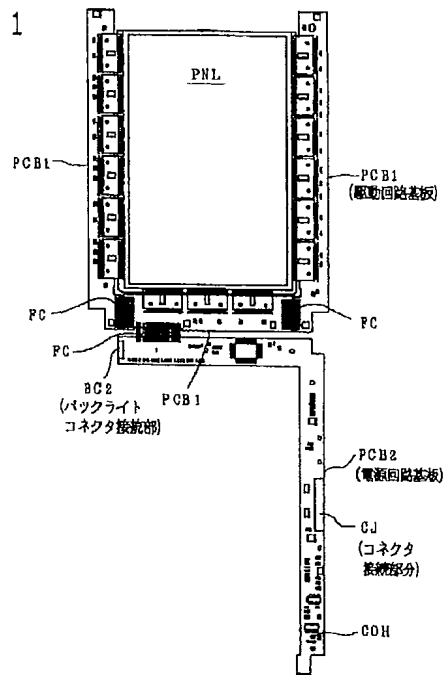
【図20】

図20



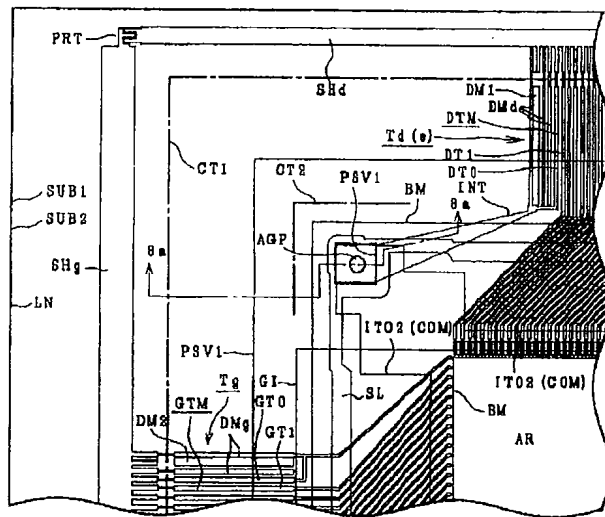
【図21】

図21



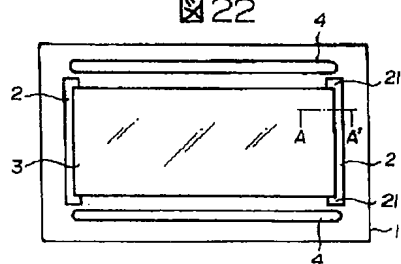
【図9】

図9



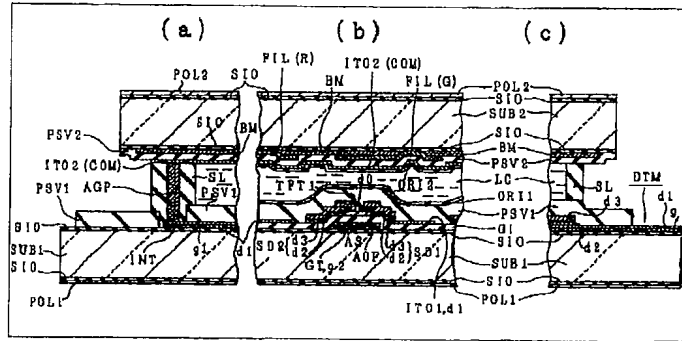
【図22】

図22



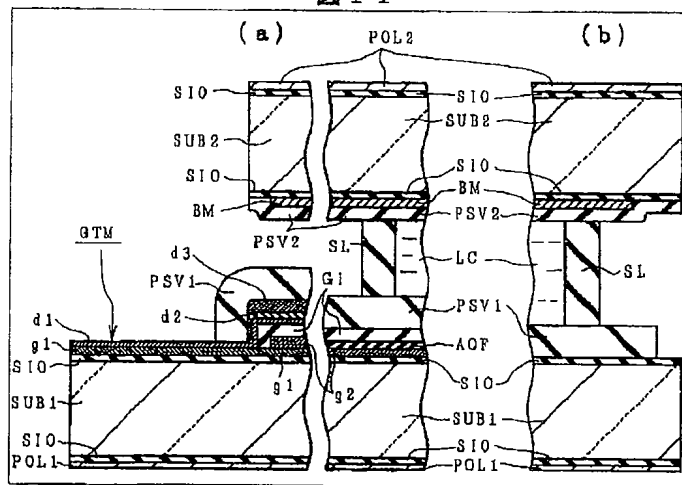
〔図 10〕

図 10



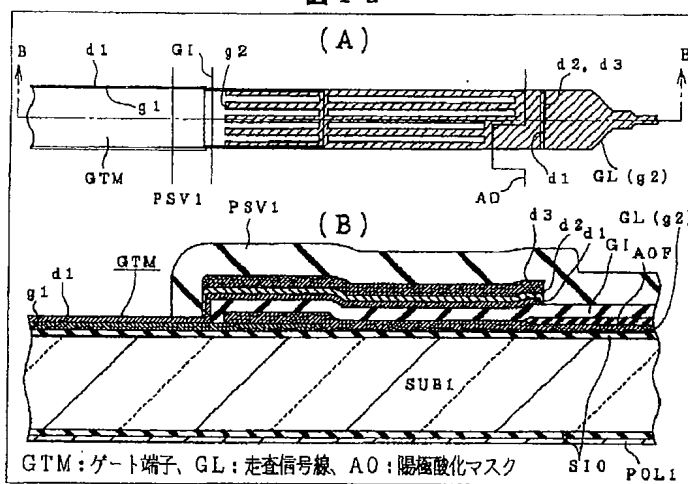
〔図 11〕

図 11



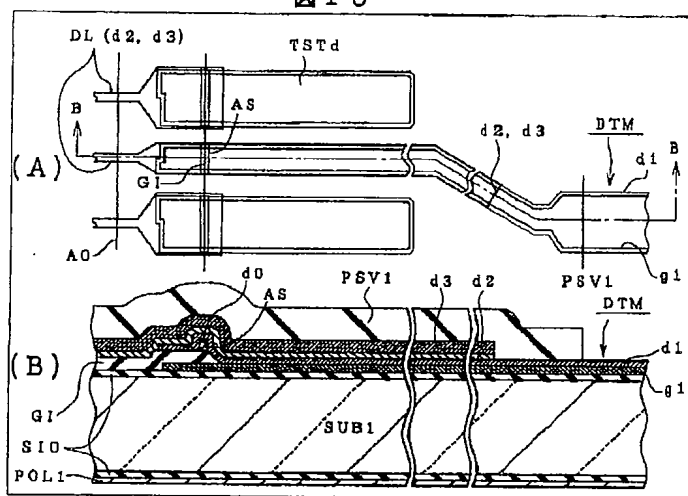
【図 12】

図 12



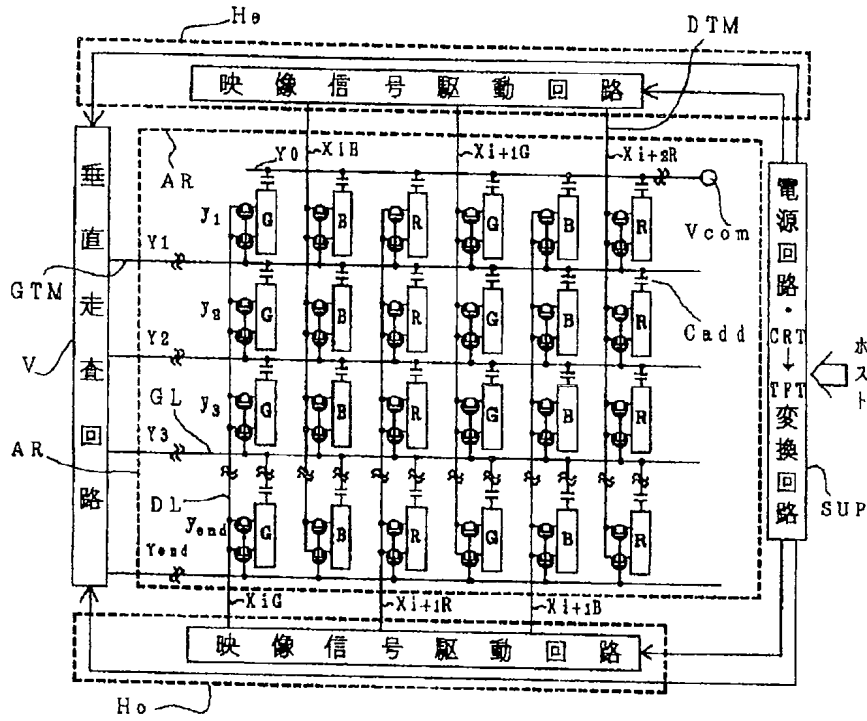
【図 13】

図 13



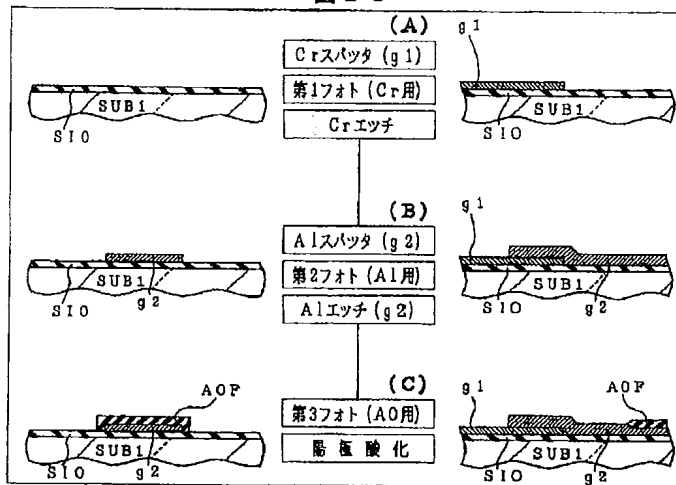
【図14】

図 1 4



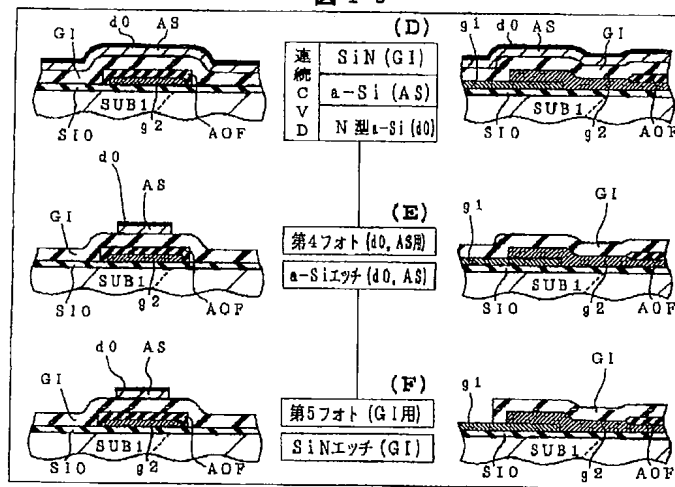
【図15】

図 1 5



【図 1 6】

図 1 6



【図 1 7】

図 1 7

